

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号  
特開2003-202835  
(P2003-202835A)

(43)公開日 平成15年7月18日(2003.7.18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)	
G 0 9 G	3/30	G 0 9 G	3/30	K 3 K 0 0 7
	3/20		3/20	6 1 2 U 5 C 0 8 0
	6 1 2			6 2 2 G
	6 2 2			6 4 1 D
	6 4 1			6 4 2 A
	6 4 2			

審査請求 未請求 請求項の数10 OL (全 11 頁) 最終頁に続く

(21) 出願番号 特願2001-401068(P2001-401068)

(71)出願人 000000295

沖電氣工業株式会社

東京都港区虎ノ門1丁目7番12号

(22)出願日 平成13年12月28日(2001.12.28)

本部招

(72)發明者 玉木 貴

東 資  
東京都港区虎ノ門

東京都港區北ノ内二丁目、番12号  
洋電式  
王謹株式会社

上巣株式会社

100086807

弄理士 植本 翠成

3K007 AB11 AB17 DB03 GA04

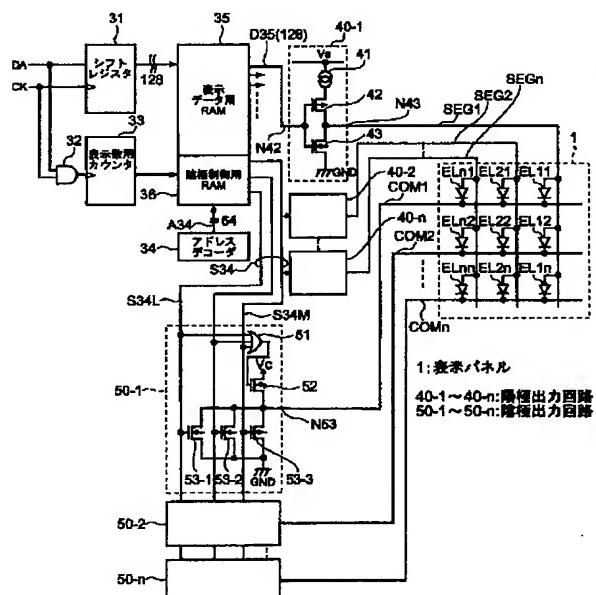
AA06 BB05

(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】EL素子の発光量（輝度）が走査線毎にばらつくことを防止し、EL素子の発光量を安定化させる。

【解決手段】 表示パネル1のEL素子EL11～ELnnの点灯表示個数をカウンタ33でカウントし、このカウント値をRAM36に格納する。このカウント値に基づき、各陰極出力回路50-1～50-n内のPMOS52がオン／オフ制御されると共に、NMOS53-1～53-3がオン／オフ制御され、このNMOS53-1～53-3のオン抵抗値が、各走査線COM1～COMnから出力ノードN53に流れ込むトータル電流値の変動に応じて制御される。これにより、各走査線COM1～COMnの点灯表示個数が変化しても、出力ノードN53の出力電圧値がほぼ一定に保持され、点灯表示個数の変化によって各走査線COM1～COMn毎に発光量がばらつくことを防止できる。



#### 本発明の第1の実施形態のマトリクス型表示装置

## 【特許請求の範囲】

【請求項1】 表示データに基づき、電流が供給されて点灯表示する発光素子が複数個分岐接続された出力ノードと、  
前記表示データに基づき、前記出力ノードに接続された前記発光素子に対する点灯表示個数をカウントするカウント手段と、  
前記カウント手段のカウント値に応じた制御信号を出力する制御手段と、  
電源電位レベルが与えられた電源ノードと前記出力ノードとの間に接続され、前記制御信号に基づき、前記カウント値が0のときにはオン状態、前記カウント値が1以上のときにはオフ状態になるスイッチ手段と、  
接地電位レベルが与えられた接地ノードと前記出力ノードとの間に接続され、前記制御信号に基づき、前記カウント値が0のときにはオフ状態、前記カウント値が1以上のときには該カウント値に対応した抵抗値に設定される抵抗値設定手段と、  
を有することを特徴とする駆動回路。

【請求項2】 複数個の発光素子のカソードが分岐接続された出力ノードと、  
前記発光素子を点灯表示させるための表示データに基づき、点灯表示の対象となっている前記発光素子のアノードに対しては、一定電流を供給し、非点灯表示の対象となっている前記発光素子に対しては、接地電位レベルが与えられた接地ノードに該発光素子のアノードを接続する陽極駆動手段と、  
前記表示データに基づき、前記出力ノードに接続された前記発光素子に対する点灯表示個数をカウントするカウント手段と、  
前記カウント手段のカウント値に応じた制御信号を出力する制御手段と、  
電源電位レベルが与えられた電源ノードと前記出力ノードとの間に接続され、前記制御信号に基づき、前記カウント値が0のときにはオン状態、前記カウント値が1以上のときにはオフ状態になるスイッチ手段と、  
前記出力ノードと前記接地ノードとの間に接続され、前記制御信号に基づき、前記カウント値が0のときにはオフ状態、前記カウント値が1以上のときには該カウント値に対応した抵抗値に設定される抵抗値設定手段と、  
を有することを特徴とする駆動回路。

【請求項3】 前記抵抗値設定手段は、前記制御信号によりゲート制御される異なるオン抵抗値の複数個のMOSトランジスタを有し、これらのMOSトランジスタが前記出力ノードと前記接地ノードとの間に並列接続され、該制御信号に基づき、前記カウント値が0のときには該複数個のMOSトランジスタが全てオフ状態、前記カウント値が1以上のときには該複数個のMOSトランジスタ内の該カウント値に対応したオン抵抗値のMOSトランジスタのみがオン状態になる回路で構成されて

いることを特徴とする請求項1又は2記載の駆動回路。

【請求項4】 前記抵抗値設定手段は、前記制御信号によりゲート制御される同一のオン抵抗値の複数個のMOSトランジスタを有し、これらのMOSトランジスタが前記出力ノードと前記接地ノードとの間に並列接続され、該制御信号に基づき、前記カウント値が0のときには該複数個のMOSトランジスタが全てオフ状態、前記カウント値が1以上のときには該複数個のMOSトランジスタ内の該カウント値に対応した個数のMOSトランジスタがオン状態になる回路で構成されていることを特徴とする請求項1又は2記載の駆動回路。

【請求項5】 前記制御手段は、前記カウント値を格納し、表示データ切替えアドレスに基づき格納データが読み出されるメモリを用いて構成されていることを特徴とする請求項3又は4記載の駆動回路。

【請求項6】 前記抵抗値設定手段は、前記制御信号によりゲート制御されて該制御信号の電圧値によりオン抵抗値が変わるMOSトランジスタを有し、このMOSトランジスタが前記出力ノードと前記接地ノードとの間に接続され、該制御信号に基づき、前記カウント値が0のときには該MOSトランジスタがオフ状態、前記カウント値が1以上のときにはこのカウント値に対応して該MOSトランジスタのオン抵抗値が変化する回路で構成されていることを特徴とする請求項1又は2記載の駆動回路。

【請求項7】 前記制御手段は、前記カウント値を格納し、表示データ切替えアドレスに基づき格納データが読み出されるメモリと、前記メモリから読み出されたデジタルデータをアナログの電圧値に変換して前記制御信号を生成するデジタル／アナログコンバータと、で構成されていることを特徴とする請求項6記載の駆動回路。

【請求項8】 前記スイッチ手段は、MOSトランジスタで構成されていることを特徴とする請求項1又は2記載の駆動回路。

【請求項9】 前記スイッチ手段は、前記MOSトランジスタとは逆導電型のMOSトランジスタで構成されていることを特徴とする請求項3～7のいずれか1項に記載の駆動回路。

【請求項10】 前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項1～9のいずれか1項に記載の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電流が供給されることによって発光する有機エレクトロルミネッセンス素子（以下「EL素子」という。）や発光ダイオード（以下「LED」という。）等を使用した電流駆動型表示装置を駆動するための駆動回路、特にマトリクス型表示装置の輝度を安定させるための駆動回路に関するものである。

## 【0002】

【従来の技術】従来、有機EL素子に関する文献としては、例えば、特開平6-301355号公報がある。この文献に記載されているように、有機EL素子は、直流低電圧で駆動可能な自光発光型の表示素子であり、視野角が広く、表示面が明るく、薄くて軽い等といった液晶ディスプレイを凌ぐ利点を有しているので、大容量の表示素子として種々の用途に大きく期待されている。

【0003】有機EL素子の電気特性は、前記文献の図7に記載されているように、順バイアスの駆動電圧VBをアノード（陽極）とカソード（陰極）との間に印加すると、強い非線形性を有する電圧-輝度、及び電圧-電流特性が観測される。即ち、駆動電圧VBが大きくなると、電流及び輝度が放物線状に大きくなるという特性を有している。

【0004】このような有機EL素子（以下、単に「EL素子」という。）を使用した従来の一般的なマトリクス型表示装置の概略の構成図を図2に示す。このマトリクス型表示装置は、表示パネル1と、この表示パネル1を駆動するための表示ドライバである駆動回路とで、主に構成されている。表示パネル1は、複数本のデータ線SEG1～SEGnと、これと直交する複数本の走査線COM1～COMnとを有し、これらのデータ線SEG1～SEGn及び走査線COM1～COMnの交差箇所に、EL素子EL11～ELnnがそれぞれ接続されている。

【0005】表示ドライバである駆動回路は、データ線駆動回路である複数個の陰極出力回路10-1～10-nと、走査線駆動回路である複数個の陰極出力回路20-1～20-nとを備えている。

【0006】各陽極出力回路10-1～10-nは、表示データ切替え用アドレスADによってランダム・アクセス・メモリ（以下「RAM」という。）等から読み出された表示データDAをデータ線SEG1～SEGnへ出力するための回路であり、定電流回路で構成されている。即ち、各陽極出力回路10-1～10-nは、定電流素子11と、Pチャネル型MOSトランジスタ（以下「PMOS」という。）12及びNチャネル型MOSトランジスタ（以下「NMOS」という。）13からなるCMOS出力回路とを有し、これらがデータ線用電源電位Vs（例えば、20V）と接地電位GNDとの間に、直列に接続されている。PMOS12及びNMOS13のゲート側の入力ノードN12には、表示データDAが入力され、このPMOS12のドレイン及びNMOS13のドレイン側の出力ノードN13が、各データ線SEG1～SEGnにそれぞれ接続されている。

【0007】各陰極出力回路20-1～20-nは、PMOS21及びNMOS22からなるCMOS出力回路で構成され、これらが走査線用電源電位Vc（例えば、20V）と接地電位GNDとの間に直列接続されてい

る。PMOS21及びNMOS22のゲート側の入力ノードN21には、表示データ切替え用アドレスADが入力され、このPMOS21及びNMOS22のドレイン側出力ノードN22に、各走査線COM1～COMnがそれぞれ接続されている。

【0008】図2には、例えば、EL素子EL11のみが発光状態である場合における、陽極出力回路10-1及び陰極出力回路20-1の信号状態が破線で示されている。又、図3は、図2の信号状態を示す動作図である。

【0009】以下、図2及び図3を参照しつつ、EL素子EL11～ELnnの発光状態及び非発光状態の動作を説明する。例えば、陰極出力回路20-1において、表示データ切替え用アドレスADの“H”レベルが入力ノードN21に入力され、NMOS22がオン状態、PMOS21がオフ状態になっている。EL素子11のカソードに接続された走査線COM1には、陰極出力回路20-1内のNMOS22により、接地電位GNDが供給されている。なお、接地電位GNDが走査線COM1～COMnに供給されている場合は、この走査線COM1～COMnが選択状態であると定義され、PMOS21がオン状態になって走査線用電源電位Vcが供給されている場合は、非選択状態であると定義される。よって、走査線COM1は現在、選択状態である。

【0010】一方、陽極出力回路10-1において、表示データDAの“L”レベルは入力ノードN12に入力され、PMOS12がオン状態、NMOS13がオフ状態になっている。EL素子EL11のアノードに接続されたデータ線SEG1には、陽極出力回路10-1内のオン状態のPMOS12及び定電流素子11を介して、データ線用電源電位Vsが供給されている。この状態において、EL素子EL11は、順方向にバイアスされているので、データ線用電源電位Vsから定電流素子11、PMOS12、データ線SEG1、EL素子EL11、走査線COM1、及びNMOS22を介して接地電位GNDへ至る電流経路が形成され、該EL素子EL11に電流I1が流れ。このように電流I1がEL素子EL11を流れることにより、該EL素子EL11が発光状態に遷移する。

【0011】又、EL素子EL22のカソードに接続された走査線COM2には、陰極出力回路20-2内のオン状態のPMOS21によって、走査線用電源電位Vcが供給されているとする。さらに、EL素子EL22のアノードに接続されたデータ線SEG2には、陽極出力回路10-2内のオン状態のPMOS12及び定電流素子11を介して、データ線用電源電位Vsが供給されているとする。この状態においては、EL素子EL22のアノードとカソードとの間には電位差が生じないため、データ線用電源電位Vsから接地電位GNDへ至る電流経路が形成されない。よって、EL素子EL22には電

流  $I_1$  が流れないため、該 EL 素子  $EL_{22}$  は発光状態に遷移しない。

【0012】以上のように、EL 素子  $EL_{11} \sim EL_{nn}$  は、電流がこの EL 素子  $EL_{11} \sim EL_{nn}$  に供給されることによって発光状態に遷移するが、この発光量（輝度）は、アノードからカソードに流れる電流値に依存する。そのため、EL 素子  $EL_{11} \sim EL_{nn}$  の発光量が予め決められた設計値（誤差を考慮した設定値）から外れると、意図した表示が実現できない。従って、各データ線  $SEG_1 \sim SEG_n$  に供給される電流値は、互いに等しい一定値であることが要求される。各データ線  $SEG_1 \sim SEG_n$  に供給される電流値を一定に保つために、各陽極出力回路  $20-1 \sim 20-n$  には、定電流素子  $I_1$  が設けられている。

#### 【0013】

【発明が解決しようとする課題】しかしながら、従来の駆動回路では、次のような課題があった。EL 素子  $EL_{11} \sim EL_{nn}$  は、前記文献の図 7 にも記載されているように、電流  $I_1$  が供給されることによって発光状態に遷移するが、この発光量（輝度）は、アノードからカソードに流れる電流値に依存すると共に、該アノード・カソード間の順方向の電位差にも依存する。アノード側の電源電位  $V_s$  はほぼ一定であるから、カソード側の出力電圧値が変動すると、アノード・カソード間の順方向の電位差が変化し、発光量が変化する。

【0014】例えば、図 3において、EL 素子  $EL_{11}$  及び  $EL_{21}$  に電流  $I_1$  がそれぞれ流れ共に発光した場合、走査線  $C_{OM1}$  に流れるトータル電流値は  $2 \times I_1$  となる。陰極出力回路  $20-1$  内の NMOS  $S_{22}$  のオン抵抗は、ほぼ一定のため、走査線  $C_{OM1}$  に流れる電流量が 2 倍になると、EL 素子  $EL_{11}$  のみの発光時のときに比べて陰極出力回路  $20-1$  の出力ノード  $N_{22}$  の出力電圧値が大きくなる。このように、走査線  $C_{OM1}$  にカソードが接続された EL 素子  $EL_{11}, \dots$  の発光する数（即ち、点灯表示個数）が変わると、陰極出力回路  $20-1$  の出力電圧値が変動する。つまり、EL 素子  $EL_{11}, \dots$  の発光量は、アノードからカソードに流れる電流値の他に、陰極出力回路  $20-1$  の出力電圧値に依存することになる。これにより、陰極出力回路  $20-1$  の出力電圧値が変動すると、結果として、EL 素子  $EL_{11} \sim EL_{nn}$  の発光量が走査線  $C_{OM1} \sim C_{OMn}$  毎にばらついてしまうという課題があった。

#### 【0015】

【課題を解決するための手段】前記課題を解決するために、本発明の内の第 1 の発明は、駆動回路において、表示データに基づき、電流が供給されて点灯表示する EL 素子等の発光素子が複数個分岐接続された出力ノードと、前記表示データに基づき、前記出力ノードに接続された前記発光素子に対する点灯表示個数をカウントするカウント手段と、前記カウント手段のカウント値に応じ

た制御信号を出力する制御手段と、電源電位レベルが与えられた電源ノードと前記出力ノードとの間に接続され、前記制御信号に基づき、前記カウント値が 0 のときにはオン状態、前記カウント値が 1 以上のときにはオフ状態になるスイッチ手段と、接地電位レベルが与えられた接地ノードと前記出力ノードとの間に接続され、前記制御信号に基づき、前記カウント値が 0 のときにはオフ状態、前記カウント値が 1 以上のときには該カウント値に対応した抵抗値に設定される抵抗値設定手段と、を有している。

【0016】このような構成を採用したことにより、表示データが与えられると、カウント手段によって発光素子の点灯表示個数がカウントされ、このカウント値に応じた制御信号が制御手段から出力される。カウント値が 0 のときには、スイッチ手段がオン状態になると共に、抵抗値設定手段がオフ状態となり、出力ノードが該スイッチ手段を介して電源ノードに接続される。このため、出力ノードに接続された発光素子に電流が流れず、該発光素子が点灯しない。カウント値が 1 以上のときには、スイッチ手段がオフ状態になると共に、抵抗値設定手段が該カウント値に対応した抵抗値に設定される。このため、発光素子に供給された電流は、出力ノード、及び抵抗値設定手段を介して接地ノードへ流れ、該発光素子が発光する。この発光素子に流れる電流量のトータル電流値に応じて、抵抗値設定手段の抵抗値が設定されるので、出力ノードの出力電圧が一定となり、この出力電圧の変動が抑制される。よって、発光素子の発光量のばらつきが防止される。

【0017】第 2 の発明は、駆動回路において、複数個の EL 素子等の発光素子のカソードが分岐接続された出力ノードと、前記発光素子を点灯表示させるための表示データに基づき、点灯表示の対象となっている前記発光素子のアノードに対しては、一定電流を供給し、非点灯表示の対象となっている前記発光素子に対しては、接地電位レベルが与えられた接地ノードに該発光素子のアノードを接続する陽極駆動手段と、第 1 の発明と同様のカウント手段、制御手段、スイッチ手段、及び抵抗値設定手段とを有している。

【0018】このような構成を採用したことにより、表示データが与えられると、陽極駆動手段により、点灯表示の対象となっている発光素子のアノードに対しては、一定電流が供給され、非点灯表示の対象となっている発光素子に対しては、この発光素子のアノードがスイッチ手段に接続される。このため、第 1 の発明とほぼ同様に、カウント手段のカウント値が 1 以上のときには、発光素子に電流が流れこの発光素子が発光し、この発光素子の点灯表示個数に応じて抵抗値設定手段の抵抗値が設定されるので、出力ノードの出力電圧が一定になり、点灯表示個数の変化によって該出力ノードの電圧の変動が抑制される。

【0019】第3の発明は、第1又は第2の発明の駆動回路において、前記抵抗値設定手段は、前記制御信号によりゲート制御される異なるオン抵抗値の複数個のMOSトランジスタを有し、これらのMOSトランジスタが前記出力ノードと前記接地ノードとの間に並列接続され、該制御信号に基づき、前記カウント値が0のときには該複数個のMOSトランジスタが全てオフ状態、前記カウント値が1以上のときには該複数個のMOSトランジスタ内の該カウント値に対応したオン抵抗値のMOSトランジスタのみがオン状態になる回路で構成されている。

【0020】このような構成を採用したことにより、カウント手段のカウント値が0のときには、複数個のMOSトランジスタが全てオフ状態になり、発光素子に電流が流れず、発光しない。カウント値が1以上のときには、このカウント値に対応したオン抵抗値のMOSトランジスタのみがオン状態になるので、発光素子の点灯表示個数にかかわらず、出力ノードの出力電圧が一定になる。よって、例えば、走査線毎の発光素子の発光量のばらつきが防止される。

【0021】第4の発明は、第1又は第2の発明の駆動回路において、前記抵抗値設定手段は、前記制御信号によりゲート制御される同一のオン抵抗値の複数個のMOSトランジスタを有し、これらのMOSトランジスタが前記出力ノードと前記接地ノードとの間に並列接続され、該制御信号に基づき、前記カウント値が0のときには該複数個のMOSトランジスタが全てオフ状態、前記カウント値が1以上のときには該複数個のMOSトランジスタ内の該カウント値に対応した個数のMOSトランジスタがオン状態になる回路で構成されている。

【0022】このような構成を採用したことにより、カウント手段のカウント値が0のときには、複数個のMOSトランジスタが全てオフ状態になって発光素子には電流が流れず、点灯しない。カウント手段のカウント値が1以上のときには、複数個のMOSトランジスタ内の該カウント値に対応した個数のMOSトランジスタがオン状態になる。このため、MOSトランジスタのオン抵抗により、カウント値に対応した抵抗値に設定され、出力ノードの出力電圧が一定になる。

【0023】第5の発明は、第3又は第4の発明の駆動回路において、前記制御手段は、前記カウント値を格納し、表示データ切替え用アドレスに基づき格納データが読み出されるメモリを用いて構成されている。これにより、簡単な構成で、制御信号の生成が行える。

【0024】第6の発明は、第1又は第2の発明の駆動回路において、前記抵抗値設定手段は、前記制御信号によりゲート制御されて該制御信号の電圧値によりオン抵抗値が変わるMOSトランジスタを有し、このMOSトランジスタが前記出力ノードと前記接地ノードとの間に接続され、該制御信号に基づき、前記カウント値が0のときには該MOSトランジスタがオフ状態、前記カウント値が1以上のときにはこのカウント値に対応して該MOSトランジスタのオン抵抗値が変化する回路で構成されている。

10

【0025】このような構成を採用したことにより、カウント手段のカウント値が0のときには、MOSトランジスタがオフ状態になり、発光素子に電流が流れず点灯しない。カウント手段のカウント値が1以上のときには、このカウント値に対応してMOSトランジスタのオン抵抗値が変化する。このため、発光素子の点灯表示個数の変化にかかわらず、出力ノードの出力電圧が一定になる。

10

【0026】第7の発明は、第8の発明の駆動回路において、前記制御手段は、前記カウント値を格納し、表示データ切替えアドレスに基づき格納データが読み出されるメモリと、前記メモリから読み出されたデジタルデータをアナログの電圧値に変換して前記制御信号を生成するデジタル／アナログコンバータ（以下「D／Aコンバータ」と）と、で構成されている。

20

【0027】このような構成を採用したことにより、カウント手段のカウント値がメモリに格納されると、表示データ切替え用アドレスに基づいて該メモリに格納されたデータが読み出され、このデジタルデータがD／Aコンバータでアナログの電圧値に変換されて制御信号が生成される。この制御信号により、MOSトランジスタのゲートが制御され、オン抵抗値が変化する。

20

【0028】第8の発明は、第1又は第2の発明の駆動回路において、前記スイッチ手段は、MOSトランジスタで構成されている。

30

【0029】第9の発明は、第3～第7のいずれか1つの発明の駆動回路において、前記スイッチ手段は、前記MOSトランジスタとは逆導電型のMOSトランジスタで構成されている。

30

【0030】第10の発明は、第1～第9の発明のいずれか1つの駆動回路において、前記発光素子は、EL素子である。

【0031】

40

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態の駆動回路を有するマトリクス型表示装置の構成図であり、従来の図2中の要素と共に要素には共通の符号が付されている。このマトリクス型表示装置は、従来の図2と同様のEL素子EL11～ELnnを用いた表示パネル1（例えば、データ線SEG1～SEGnが128ビット、走査線COM1～COMnが128ビット）と、この表示パネル1を駆動する表示ドライバである駆動回路とで構成されている。駆動回路は、表示データDAを書き込むためのシリアル／パラレル変換用のシフトレジスタ31（例えば、出力が $128 = 2^7$ ビット）と、表示データDAとクロック信号CKの論理積を求める2入力ANDゲート32と、このAN

50

Dゲート32の出力信号を入力してEL素子の点灯表示数(点灯命令“1”)をカウントするカウント手段(例えば、7ビットの表示用カウンタ)33と、表示データDAを切替えるためのアドレスデコーダ34(例えば、出力が $64 = 2^6$ ビット)とを備えている。

【0032】シフトレジスタ31の出力側には、このシフトレジスタ31から出力されたパラレルな表示データを格納するためのメモリ(例えば、出力が $128 = 2^7$ ビットの表示用RAM)35が接続され、アドレスデコーダ34から出力された64ビットのアドレスA34に基づき、格納された表示データD35を出力するようになっている。カウンタ33の出力側には、このカウンタ33のカウント数を格納するためのメモリ(例えば、カウント数の上位3ビットを格納する陰極制御用RAM)36が接続されている。RAM36は、アドレスデコーダ34から出力されたアドレスA34を入力し、格納されたカウント数を制御信号S34として出力する回路である。制御信号S34は、上位ビットS34M及び下位ビットS34Lを有する3ビットの信号である。

【0033】RAM35の128ビットの出力端子には、データ線駆動回路である128個の陽極出力回路40-1~40-nが接続されている。各陽極出力回路40-1~40-nは、各データ線SEG1~SEGnに対して表示データを出力するために定電流回路で構成されており、定電流素子41と、スイッチ手段(例えば、PMOS42及びNMOS43からなるCMOS出力回路)とを有し、これらがデータ線用電源電位Vs(例えば、20V)と接地電位GNDとの間に直列に接続されている。定電流素子41は、電源電位VsとPMOS42との間に接続され、例えば、ゲートに一定の電圧が与えられるMOSトランジスタ等で構成されている。PMOS42及びNMOS43のゲートは、入力ノードN42に接続され、この入力ノードN42がRAM35の出力端子に接続されている。PMOS42及びNMOS43のドレインは、出力ノードN43に接続され、この出力ノードN43が各データ線SEG1~SEGnに接続されている。

【0034】RAM36の出力端子には、走査線駆動回路である128個の陰極出力回路50-1~50-nが接続されている。各陰極出力回路50-1~50-nは、3ビットの制御信号S34を入力して論理和を求める3入力ORゲート51を有し、この出力端子にスイッチ手段(例えば、PMOS)52のゲートが接続されている。PMOS52のソースは走査線用電源電位Vc(例えば、20V)に接続され、このドレインが出力ノードN53に接続されている。出力ノードN53と接地電位GNDとの間には、抵抗値設定手段(例えば、3個の並列接続されたNMOS53-1~53-3)が接続されている。各NMOS53-1~53-3は、例えば、ゲート幅が1:2:4(即ち、オン抵抗比が4:

2:1)に設定され、このNMOS53-1のゲートが制御信号S34の下位ビットS34Lに接続され、NMOS53-3のゲートが該制御信号S34の上位ビットS34Mに接続されている。各陰極出力回路50-1~50-nの出力ノードN53は、各走査線COM1~COMnにそれぞれ接続されている。

【0035】図4は、図1の信号状態を示す等価回路図である。以下、図1及び図4を参照しつつ、マトリクス型表示装置の動作を説明する。液晶パネル1のEL素子EL11~ELnnを点灯表示させるために、シリアルな表示データDAとクロック信号CKが与えられると、シフトレジスタ31では、クロック信号CKに同期してシリアルな表示データDAを順次取り込み、128ビットのパラレルデータを出力する。このデータは、アドレスデコーダ34から出力されるアドレスA34で指定されたRAM35の所定箇所に格納される。この際、表示データDAとクロック信号CKとが、ANDゲート32で論理積がとられ、この出力信号によって7ビットのカウンタ33で点灯表示数(表示命令“1”)がカウントされる。このカウント値の例えば上位3ビットが、アドレスデコーダ34から出力されるアドレスA34で指定されたRAM36の所定箇所に格納される。

【0036】表示を実行する際は、アドレスデコーダ34から出力されたアドレスA34により、RAM35に格納された128ビットの表示データD35が読み出されて陽極出力回路40-1~40-nへ与えられる。さらに、アドレスA34により、RAM36に格納された3ビットのカウント値が読み出され、これに対応する3ビットの制御信号S34が陽極出力回路50-1~50-nへ与えられる。各陽極出力回路40-1~40-nにおいて、入力ノードN42に入力されるRAM35からの表示データD35が“L”レベルのときに、PMOS42がオン状態、NMOS43がオフ状態になり、該表示データD35が“H”レベルのときに、PMOS42がオフ状態、NMOS43がオン状態になる。

【0037】一方、各陰極出力回路50-1~50-nでは、3ビットの制御信号S34の論理和がORゲート51でとられ、このORゲート51の出力信号が“L”レベルのときに、PMOS52がオン状態になり、

“H”レベルのときにPMOS52がオフ状態になる。3ビットの制御信号S34が“H”レベルのときに、NMOS53-1~53-3がオン状態、“L”レベルのときにNMOS53-1~53-3がオフ状態になる。

【0038】例えば、EL素子EL11において、陽極出力回路40-1内のPMOS42がオン状態、NMOS43がオフ状態、陰極出力回路50-1内のPMOS52がオフ状態、NMOS53-1がオン状態、NMOS53-2, 53-3がオフ状態のとき、電源電位Vs→定電流素子41→PMOS42→出力ノードN43→データ線SEG1→EL素子EL11→走査線COM1

→出力ノードN 5 3→NMOS 5 3-1→接地電位GND、という経路で電流が流れ、EL素子E L 1 1が発光する。陽極出力回路4 0-1内のPMOS 4 2がオフ状態、NMOS 4 3がオン状態のとき、データ線SEG 1が接地電位GNDになるので、EL素子E L 1 1には電流が流れず、点灯しない。又、陽極出力回路4 0-1内のPMOS 4 2がオン状態、NMOS 4 3がオフ状態、陰極出力回路5 0-1内のPMOS 5 2がオン状態、NMOS 5 3-1～5 3-3がオフ状態のとき、EL素子E L 1 1に電位差が生じないので、このEL素子E L 1 1が点灯しない。

【0039】点灯時において、例えば、走査線COM 1に接続されたEL素子E L 1 1～E L n 1の内、点灯表示数が3 2個以下の場合には、NMOS 5 3-1～5 3-3の内のオン抵抗の小さなNMOS 5 3-1のみがオン状態となる。EL素子E L 1 1～E L n 1の内、点灯表示数が増えて該点灯表示数が6 4個以下の場合には、オン抵抗の少し大きなNMOS 5 3-2のみがオン状態となる。EL素子E L 1 1～E L n 1の内の点灯表示数が6 5個以上の場合には、オン抵抗の最も大きなNMOS 5 3-3のみがオン状態となる。

【0040】EL素子E L 1 1～E L n 1において、発光するEL素子に同一電流値の電流が流れるので、発光数によって陰極出力回路5 0-1の出力ノードN 5 3へ流れ込むトータル電流値が変動する。しかし、この電流値に対応して、オン抵抗の異なるNMOS 5 3-1～5 3-nのいずれか1つがオン状態となって抵抗値が変わるので、出力ノードN 5 3の出力電圧がほぼ一定に保たれる。

【0041】以上のように、この第1の実施形態では、次の(a)～(c)のような効果がある。

(a) 走査線COM 1～COM nから出力されるトータル電流値に合わせて、RAM 3 6に格納されたカウント値によってNMOS 5 3-1～5 3-3が切替えられ、このオン抵抗が制御されるので、点灯表示数の変化にもかかわらず、出力ノードN 5 3の出力電圧がほぼ一定に保たれ、発光量(輝度)を一定に安定して保持することが可能となる。よって、EL素子E L 1 1～E L n 1の発光量が走査線COM 1～COM n毎にばらつくことを防止できる。

【0042】(b) RAM 3 6に格納されたカウント値を制御信号S 3 4の形で出力し、直接NMOS 5 3-1～5 3-3をゲート制御するようにしたので、回路構成が簡単になる。

【0043】(c) さらに緻密な制御が必要な場合は、RAM 3 6のビット数とNMOS 5 3-1～5 3-3の数を増加すれば、より緻密な制御を簡単に実現できる。

【0044】(第2の実施形態)図5は、本発明の第2の実施形態の駆動回路を有するマトリクス型表示装置の構成図であり、第1の実施形態を示す図1中の要素と共に

通の要素には共通の符号が付されている。

【0045】このマトリクス型表示装置は、図1の陰極出力回路5 0-1～5 0-nに代えて、例えば3ビットのデコーダ5 5と、走査線駆動回路である陰極出力回路6 0-1～6 0-nとが設けられている。その他の構成は、図1のマトリクス型表示装置と同様である。

【0046】3ビットのデコーダ5 5は、3ビットのカウント値を格納する陰極制御用RAM 3 6に接続され、このRAM 3 6から読み出された3ビットのカウンタ値をデコードして、例えば8ビットの制御信号S 5 5を出力する回路である。RAM 3 6とデコーダ5 5により、制御手段が構成されている。デコーダ5 3の出力側には、例えば1 2 8個の陰極出力回路6 0-1～6 0-nが接続されている。

【0047】各陰極出力回路6 0-1～6 0-nは、デコーダ5 5の8ビットの制御信号S 5 5を入力する8入力ORゲート6 1を有し、この出力端子がスイッチ手段(例えば、PMOS)6 2のゲートに接続されている。PMOS 6 2は、ソースが走査線用電源電位Vc(例えば、20V)に接続され、このドレインが出力ノードN 6 3に接続されている。出力ノードN 6 3と接地電位GNDとの間には、抵抗値設定手段(例えば、並列に接続された同一のオン抵抗の8個のNMOS 6 3-1～6 3-8)が接続されている。各NMOS 6 3-1～6 3-8は、デコーダ5 5から出力される8ビットの制御信号S 5 5によりゲート制御されるようになっている。各陰極出力回路6 0-1の出力ノードN 6 3は、液晶パネル1の走査線COM 1～COM nにそれぞれ接続されている。

【0048】次に、図5の動作を説明する。表示データDA及びクロック信号CKが与えられると、第1の実施形態と同様に、クロック信号CKによって表示データDAがシフトレジスタ3 1に取り込まれ、パラレルな表示データに変換されて表示データ用RAM 3 5に格納される。この際、表示データDAとクロック信号CKは、ANDゲート3 2で論理積がとられ、この出力信号によって点灯表示数(表示命令“1”)が7ビットの表示数用カウンタ3 3によってカウントされ、このカウント値の例えば上位3ビットが陰極制御用RAM 3 6に格納される。

【0049】表示を実行する際は、アドレスデコーダ3 4から出力されたアドレスA 3 4により、表示データ用RAM 3 5に格納された表示データD 3 5が読み出され、この表示データD 3 5によって各陽極出力回路4 0-1～4 0-n内のPMOS 4 2及びNMOS 4 3がオン/オフ制御される。さらに、アドレスデコーダ3 4のアドレスA 3 4により、陰極制御用RAM 3 6に格納された3ビットのカウント値が読み出される。

【0050】この3ビットのカウント値は、3ビットのデコーダ5 5でデコードされ、8ビットの制御信号S 5

5が出力される。8ビットの制御信号S55は、ORゲート61で論理和がとられ、この出力信号によってPMOS62がオン／オフ制御される。同時に、8ビットの制御信号S55により、NMOS63-1～63-8のゲートがオン／オフ制御される。デコーダ55は3ビット構成であるため、EL素子EL11～ELnnの点灯表示数が32( $=2^3$ )個以下のときは、NMOS63-1～63-8内の1個のNMOSのみがオンし、点灯表示数が64( $=2^4$ )個以下のときは、2個のNMOSがオン状態になる。

【0051】EL素子EL11～ELnnの点灯表示数が少ないとには、各陰極回路60-1～60-nの出力ノードN63に流れ込むトータル電流値が小さいので、これに対応してNMOS63-1～63-8内のオン状態となるNMOSの数が少なくなつて並列合成抵抗値が大きくなる。表示点灯数が多くなると、出力ノードN63に流れ込むトータル電流値が大きくなり、これに対応してNMOS63-1～63-8内のオン状態となるNMOSの数が多くなつて並列合成抵抗が小さくなる。よって、各走査線COM1～COMnに接続されたEL素子EL11～ELnnの点灯表示数の変化にかかわらず、各出力ノードN63の出力電圧がほぼ一定の値に保たれる。

【0052】以上のように、本実施形態では、次の(i)、(ii)のような効果がある。

(i) 各走査線COM1～COMnから出力されるトータル電流値に合せて、RAM36から読み出された表示数のカウント値に基づき、レコーダ55を介して、NMOS63-1～63-8がゲート制御されてオン／オフ動作し、このNMOS63-1～63-8のオン抵抗の並列合成抵抗値が制御される。このため、各陰極出力回路60-1～60-nの出力ノードN63の出力電圧をほぼ一定にすることができ、これによってEL素子EL11～ELnnの発光量を一定に安定して保持することができる。よって、EL素子EL11～ELnnの発光量が走査線COM1～COMn毎にばらつくことを防止できる。

【0053】(ii) さらに緻密な制御が必要な場合は、RAM36のビット数、デコーダ55のデコード数、及びNMOS63-1～63-8の数を増加すれば、より緻密な制御を簡単に実現できる。

【0054】(第3の実施形態)図6は、本発明の第3の実施形態の駆動回路を有するマトリクス型表示装置の構成図であり、第1の実施形態を示す図1中の要素と共に通の要素には共通の符号が付されている。このマトリクス型表示装置は、図1の陰極出力回路50-1～50-nに代えて、例えば3入力ORゲート65、D/Aコンバータ66、及び走査線駆動回路である128個の陰極出力回路70-1～70-nが設けられている。その他の構成は、図1と同様である。

【0055】3入力ORゲート65は、陰極制御用RAM36から読み出された上位3ビットのカウント値を入力して論理和を求める回路である。D/Aコンバータ66は、陰極制御用RAM36の出力側に接続され、このRAM36から読み出された上位3ビットのカウント値のデジタルデータを、アナログ電圧値である制御信号S66に変換する回路である。RAM36及びD/Aコンバータ66により、制御信号が構成されている。

【0056】ORゲート65及びD/Aコンバータ66の出力側には、128個の陰極出力回路70-1～70-nが接続されている。各陰極出力回路70-1～70-nは、ORゲート65の出力信号によりゲート制御されるスイッチ手段(例えば、PMOS)71と、D/Aコンバータ66の出力制御信号S66によりゲート制御される抵抗値設定手段(例えば、ゲート電圧によってオン抵抗値が制御されるNMOS)72とを有し、これらが走査線用電源電位Vc(例えば20V)と接地電位GNDとの間に直列に接続されている。

【0057】PMOS71のゲートは、ORゲート65の出力端子に接続されている。NMOS72のゲートは、D/Aコンバータ66の出力端子に接続されている。PMOS71のドレイン及びNMOS72のドレンは、出力ノードN72に接続されている。各陰極出力回路70-1～70-nの出力ノードN72は、各走査線COM1～COMnにそれぞれ接続されている。

【0058】次に、図6の動作を説明する。表示データDA及びクロック信号CKが与えられると、第1の実施形態例と同様に、クロック信号CKに同期して表示データDAがシフトレジスタ31に取り込まれ、このシフトレジスタ31で128ビットのパラレルデータに変換され、表示データ用RAM35に格納される。この際、表示データDAとクロック信号CKが、ANDゲート32で論理積がとられ、この出力信号により点灯表示数(点灯命令“1”)が7ビットの表示数用カウンタ33でカウントされ、このカウント値の上位3ビットが陰極制御用RAM36に格納される。

【0059】表示を実行する際は、アドレスデコーダ34から出力されたアドレスA34により、表示用RAM35に格納された128ビットの表示データD35が読み出され、各陽極出力回路40-1～40-n内のPMOS42及びNMOS43がオン／オフ制御される。さらに、アドレスデコーダ34のアドレスA34により、陰極制御用RAM36に格納された上位3ビットのカウント値が読み出される。

【0060】この読み出された上位3ビットのカウント値は、ORゲート65で論理和がとられ、この出力信号により、各陰極出力回路70-1～70-n内のPMOS71のゲートがオン／オフ制御される。同時に、RAM36から読み出された上位3ビットのカウント値は、D/Aコンバータ66でアナログ電圧値である制御信号

S66に変換され、この制御信号S66により、各陰極出力回路50-1内のNMOS72のゲートがオン／オフ制御される。

【0061】RAM36から読み出されたカウント値は3ビットであるため、EL素子EL11～ELnnの点灯表示数が32個以下のときは、NMOS72のゲートに印加される制御信号S66の電圧が1.5V、点灯表示数が64個以下のときには、制御信号S66の電圧が2.0Vになる。

【0062】点灯表示数が少ないとときには、各陰極出力回路70-1～70-nの出力ノードN72に流れ込むトータル電流値が小さく、これに対応して制御信号S66の電圧が低くなつてNMOS72がゲート制御されるので、このNMOS72のオン抵抗が大きくなる。点灯表示数が多くなると、出力ノードN72に流れ込むトータル電流値が大きくなり、これに対応して制御信号S66の電圧が高くなつてNMOS72がゲート制御されるので、このNMOS72のオン抵抗が小さくなる。これにより、各走査線COM1～COMnの点灯表示数の変化にかかわらず、各陰極出力回路70-1～70-nの出力ノードN72の出力電圧がほぼ一定に保たれる。

【0063】以上のように、本実施形態では、次の(I)～(III)のような効果がある。

(I) 各走査線COM1～COMnから出力されるトータル電流値に合せて、RAM36から読み出されたカウント値に基づき、D/Aコンバータ66を介して、各陰極出力回路70-1～70-n内のNMOS72のゲート電圧が制御され、このNMOS72のオン抵抗が変わるので、出力ノードN72の出力電圧を一定に抑えることができる。これにより、EL素子EL11～ELnnの発光量を一定に安定して保持することが可能となる。よって、EL素子EL11～ELnnの発光量が走査線COM1～COMn毎にばらつくことを防止できる。

【0064】(II) 1つのNMOS72でオン抵抗を変えるようにしているので、他の実施形態に比べて素子数を少なくでき、回路構成が簡単になる。

【0065】(III) 細密な制御が必要な場合は、RAM36のビット数と、D/Aコンバータ66の分解能を増加することにより、より細密な制御を簡単に実現できる。

【0066】(利用形態) 本発明は、上記実施形態に限られず、種々の変形や利用形態が可能である。この変形や利用形態としては、例えば、次の(i)～(h)のようなものがある。

【0067】(i) 表示パネル1のEL素子数は任意の数でよいが、このEL素子数が多くなるほど、上記実施形態の効果が大きい。

【0068】(ii) 陽極出力回路40-1～40-n、及び陰極出力回路50-1～50-n、60-1～60-n、70-1～70-nは、他のMOSトランジスタ

構成や、パイポーラトランジスタ等で構成することも可能である。

【0069】(iii) 実施形態では、有機EL素子でのドットマトリクス型表示装置に適用した例を説明したが、駆動する発光素子は有機EL素子に限定されるものではなく、駆動回路が駆動する対象は、電流が供給されることによって表示状態に遷移する発光素子であれば、LED等の種々の発光素子を用いたドットマトリクス型表示装置等に適用できる。

【発明の効果】以上詳細に説明したように、第1及び第2の発明によれば、発光素子の点灯表示個数をカウント手段でカウントし、このカウント値に対応して抵抗値設定手段の抵抗値を変えるようにしたので、点灯表示個数の変化によって出力ノードに流れ込むトータル電流値が変化しても、これに対応して抵抗値設定手段の抵抗値が制御され、該出力ノードの出力電圧値がほぼ一定の値に保持される。よって、点灯表示個数の変化によって発光素子の発光量(輝度)が出力ノード毎にばらつくことを防止でき、発光素子の発光量を安定させることができる。

【0071】第3の発明によれば、発光素子の点灯表示個数をカウントするカウント手段のカウント値に対応したオン抵抗値のMOSトランジスタのみがオン状態になり、抵抗値設定手段の抵抗値が制御されるので、比較的簡単な回路構成で、各出力ノードの出力電圧値の変動を抑制でき、各出力ノード毎の発光量のばらつきを防止できる。

【0072】第4の発明によれば、点灯表示個数のカウント値に対応した個数のMOSトランジスタがオン状態になって、抵抗値設定手段の抵抗値が制御されるので、デジタル的に抵抗値を変えることができ、ノイズ等に対して安定した動作が得られる。

【0073】第5の発明によれば、制御手段をメモリを用いて構成したので、制御手段の回路構成が簡単になる。

【0074】第6の発明によれば、点灯表示個数のカウント値に対応してMOSトランジスタのオン抵抗値を制御するようにしたので、このMOSトランジスタの数を少なくでき、回路構成が簡単になる。

【0075】第7の発明によれば、メモリとD/Aコンバータで制御手段を構成したので、比較的簡単な回路構成で、制御信号を生成することができる。

【0076】第8及び第9の発明によれば、スイッチ手段をMOSトランジスタで構成したので、このMOSトランジスタを簡単にゲート制御できる。

【0077】第10の発明によれば、発光素子としてEL素子を用いたので、高信頼性や大容量の表示装置等の種々の用途に適用できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すマトリクス型表示装置の構成図である。

【図2】従来の一般的なマトリクス型表示装置を示す概略の構成図である。

【図3】図2の信号状態を示す動作図である。

【図4】図1の信号状態を示す等価回路図である。

【図5】本発明の第2の実施形態を示すマトリクス型表示装置の構成図である。

【図6】本発明の第3の実施形態を示すマトリクス型表示装置の構成図である。

【符号の説明】

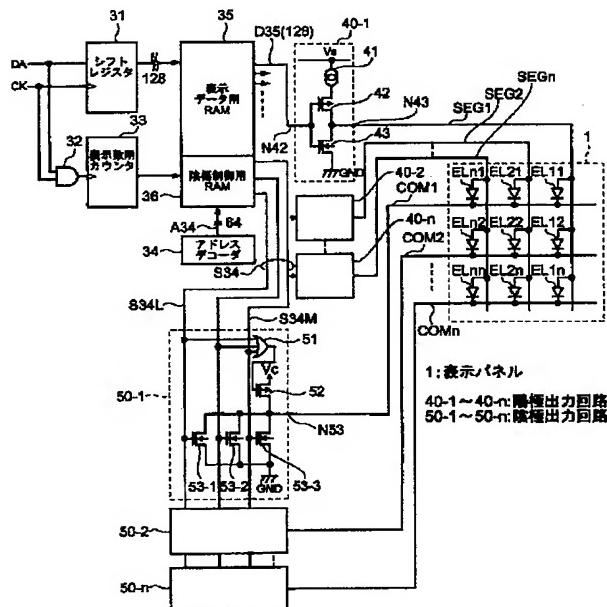
1 表示パネル

3 1 シフトレジスタ

3 3 表示数用カウンタ

- \* 3 4 アドレスデコーダ
  - 3 5 表示データ用 RAM
  - 3 6 陰極制御用 RAM
  - 4 0-1~4 0-n 陽極出力回路
  - 4 1 定電流素子
  - 4 2, 5 2, 6 2, 7 1 PMOS
  - 4 3, 5 3-1~5 3-3, 6 3-1~6 3-8, 7 2 NMOS
  - 5 0-1~5 0-n, 6 0-1~6 0-n, 7 0-1~7 0-n 陰極出力回路
  - 5 1, 6 1, 6 5 ORゲート
  - 5 5 デコーダ
  - 6 6 D/Aコンバータ
- 10 \*

【図1】



本発明の第1の実施形態のマトリクス型表示装置

【図3】

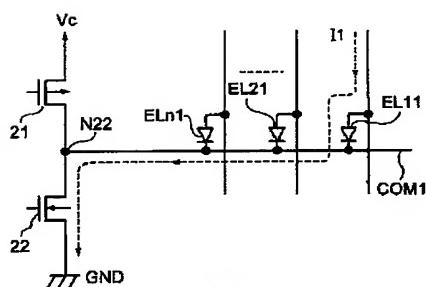
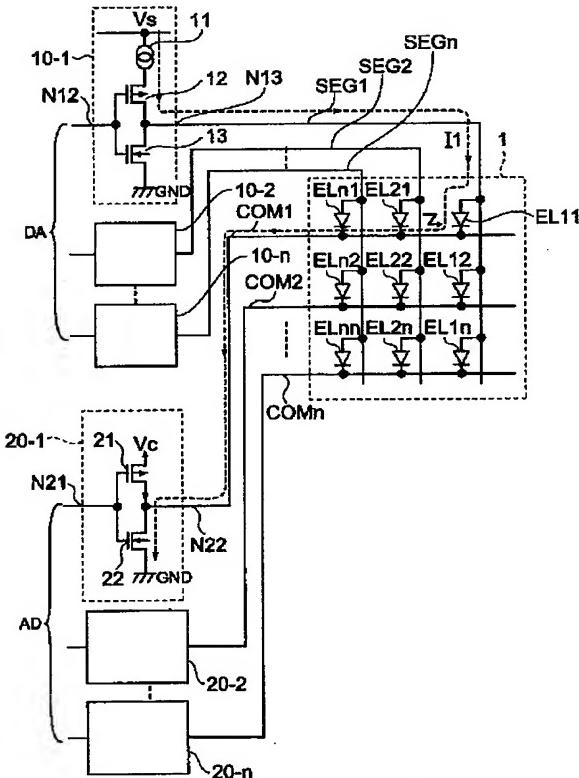


図2の信号状態

【図2】



従来の一般的なマトリクス型表示装置

【四】

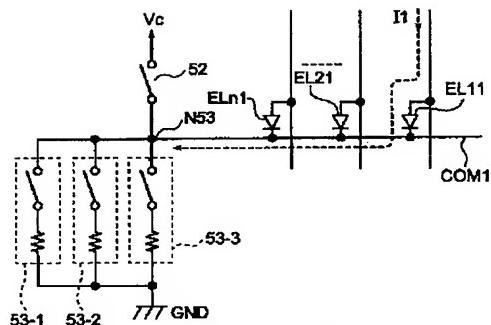
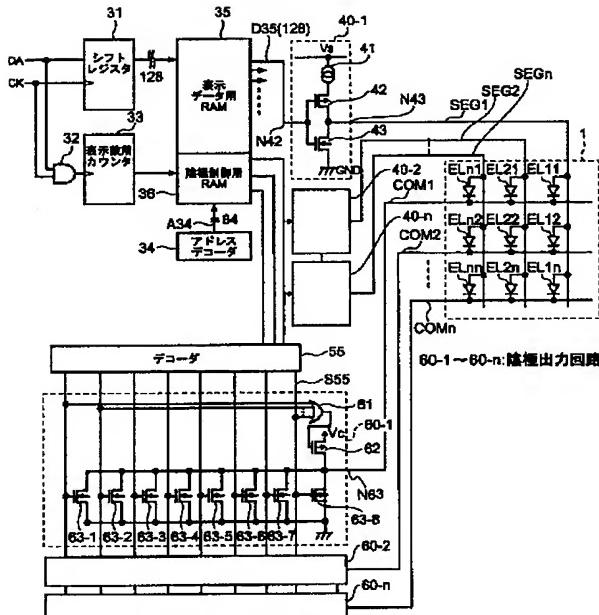


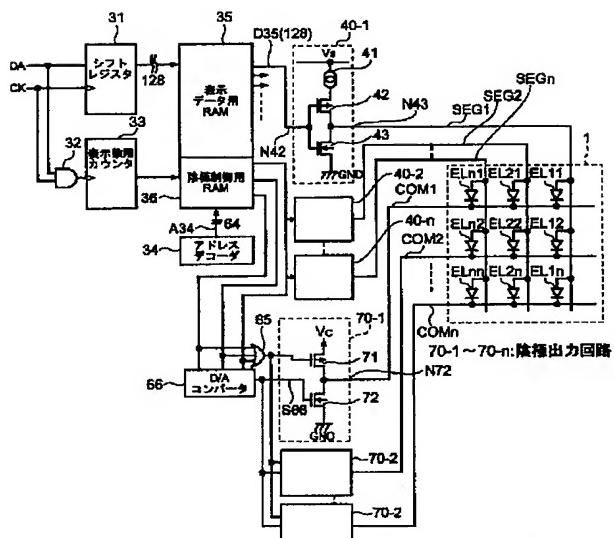
図1の信号状態

【図5】



#### 本発明の第2の実施形態のマトリクス型表示装置

[図6]



### 本聲明の第3の審議形態のマトリクス型表示装置

## フロントページの続き

(51) Int.C1.<sup>7</sup>  
G 0 9 G 3/20  
H 0 5 B 33/14

識別記号

F I  
G O 9 G 3/20  
H O 5 B 33/14

### テーマコード（参考）